

SIGNAL TRANSMISSION CIRCUIT

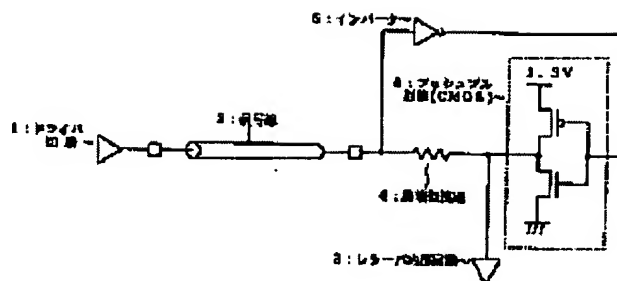
Patent number: JP8195775
Publication date: 1996-07-30
Inventor: YAMADA YOSHIYUKI
Applicant: NIPPON ELECTRIC CO
Classification:
- **International:** H04L25/02; H04B3/02
- **European:**
Application number: JP19950020952 19950113
Priority number(s): JP19950020952 19950113

[Report a data error here](#)

Abstract of JP8195775

PURPOSE: To reduce power consumption by forming a positive feedback circuit via a termination resistor for impedance matching at an input terminal of a transmission circuit and connecting a push-pull circuit comprising a CMOS transistor(TR) to a signal line so as to block a DC component of a transmission signal through the signal line.

CONSTITUTION: A signal sent by a driver circuit 1 is received by a receiver circuit 3 via a signal line 2 and a termination resistor 4 is connected to a receiver input terminal for impedance matching. That is, the signal line 2 is connected to one terminal of the termination resistor 4 and connects to an input terminal of a push-pull circuit 6 comprising a CMOS TR via an inverter 5. The other terminal of the resistor 4 is connected to an internal circuit of the circuit 3 and to an output terminal of the circuit 6. The inverter 5 and the circuit 6 form a positive feedback circuit in which the resistor 4 is used for a feedback resistor. Thus, the DC component of the transmission signal through the signal line 2 is blocked to reduce the entire power consumption.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-195775

(43) 公開日 平成8年(1996)7月30日

(51) Int.Cl.⁶

H04L 25/02

H04B 3/02

識別記号

庁内整理番号

R 9199-5K

F I

技術表示箇所

審査請求 有 請求項の数 3 F D (全 4 頁)

(21) 出願番号 特願平7-20952

(22) 出願日 平成7年(1995)1月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山田 祥之

東京都港区芝五丁目7番1号 日本電気株式会社内

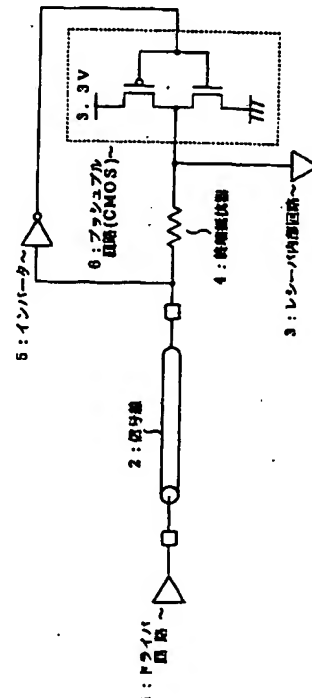
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 信号伝送回路

(57) 【要約】

【目的】 伝送回路のインピーダンス整合用の終端抵抗器において、終端抵抗器に流れる信号の直流成分による消費電力を削減する。

【構成】 伝送回路において、レシーバ回路側の入力端にインピーダンス整合用の終端抵抗器の一端をCMOSトランジスタからなるプッシュプル回路に接続し、終端抵抗器を帰還抵抗とする正帰還回路を構成する。



【特許請求の範囲】

【請求項1】信号線を終端抵抗器の一端とCMOSトランジスタからなるプッシュプル回路の入力端とに接続したことを特徴とする信号伝送回路。

【請求項2】前記終端抵抗器を帰還抵抗とする正帰還回路を具備する請求項1記載の信号伝送回路。

【請求項3】信号線を終端抵抗器の一端と反転バッファを介してCMOSトランジスタからなるプッシュプル回路の入力端に接続すると共に、前記終端抵抗器の他端を前記CMOSトランジスタからなるプッシュプル回路の出力端とレシーバ回路の入力端とに接続してなることを特徴とする信号伝送回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は信号伝送回路に関し、特にドライバとレシーバにより信号の送受を行うデジタル信号線の終端回路に関する。

【0002】

【従来の技術】従来の半導体集積回路において、ドライバとレシーバにより信号の送受を行う場合、図4に示すように、レシーバ3側の入力端にインピーダンス整合のため、終端抵抗器4が接続されるが、この終端抵抗器4は信号線2とアースとの間に接続されている。

【0003】

【発明が解決しようとする課題】前記従来の信号伝送回路では、終端抵抗器4が信号線2とアースとの間に接続されているため、デジタル信号を伝送するとその信号の直流成分が終端抵抗器に流れることになり、電力損失を生じるという問題があった。

【0004】また、この電力損失を補うためドライバ側の駆動能力を大きくとらなければならないという問題があった。

【0005】本発明は上記問題点を鑑みてなされたものであって、インピーダンス整合用の終端抵抗器を備えた信号伝送回路において、終端抵抗器に流れる信号の直流成分による消費電力を削減する信号伝送回路を提供することを目的とする。

【0006】なお、例えば特開平2-146843号公報には、図4に示した前記従来の信号伝送回路における上記問題点を解決するために、信号線を終端抵抗器の一端と平均値整流回路の入力とに接続し、平均値整流回路の出力を等価的電圧制御電圧源の入力に接続し、等価的電圧制御電圧源の出力を終端抵抗器の他端に接続した、信号線の終端回路が提案されており、終端抵抗器を信号線と信号の直流成分に等しい低インピーダンスの電圧源の出力との間に接続することにより、終端抵抗器における直流成分の電力損失を解消する構成が開示されている。しかしながら、以下の説明で明らかとされるように、本発明は、前記特開平2-146843号公報に開示された回路構成とは全く相違した設計方式により、例えば1

00MHzを越える高速デジタル信号の伝送を実現するものである。

【0007】

【課題を解決するための手段】前記目的を達成するため、本発明の信号伝送回路は、信号線を終端抵抗器の一端とCMOSトランジスタからなるプッシュプル回路とに接続したことを特徴とする。

【0008】また、本発明においては、前記終端抵抗器を帰還抵抗とする正帰還回路を具備することを特徴とする。

【0009】そして、本発明においては、好ましくは、信号線を終端抵抗器の一端と反転バッファを介してCMOSトランジスタからなるプッシュプル回路の入力端に接続すると共に、前記終端抵抗器の他端を前記CMOSトランジスタからなるプッシュプル回路の出力端とレシーバ回路の入力端とに接続したことを特徴とする。

【0010】

【作用】本発明によれば、伝送回路の入力端はインピーダンス整合のための終端抵抗器を介して正帰還回路を構成し、CMOSトランジスタからなるプッシュプル回路の入力端に接続することにより、終端抵抗器に流れる伝送信号の直流成分を遮断し、電力消費を削減している。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0012】

【実施例1】図1は本発明の第1の実施例の回路構成を示している。

【0013】図1を参照して、ドライバ回路1が送信した信号は、信号線2を通してレシーバ回路3で受信され、インピーダンス整合のため、レシーバ入力端に終端抵抗器4が接続されている。すなわち、信号線2は終端抵抗器4の一端に接続されると共に、インバータ5を介してCMOSトランジスタからなるプッシュプル回路（「CMOSプッシュプル回路」という）6の入力端に接続されている。そして、終端抵抗器4の他端はレシーバ回路3の内部回路に接続されると共に、CMOSプッシュプル回路6の出力端に接続されている。

【0014】インバータ5とCMOSプッシュプル回路6とは終端抵抗器4を帰還抵抗とする正帰還構成をとっている。これにより、信号線2を流れる伝送信号の直流成分を遮断することができ、全体の電力消費を削減できる。

【0015】次に、図2を参照して、本実施例の伝送回路のAC特性を説明する。

【0016】図2は、0.55 μ mルールCMOSトランジスタで電源電圧を3.3Vとした場合（周囲温度25℃）の本実施例の伝送回路の回路シミュレーションによるAC解析結果を示す図であり、横軸は周波数、縦軸は電圧及びデシベルを表わし、各周波数の入力信号

3

(入力電圧) に対する伝送回路の出力特性 (出力電圧) を示している。また出力電圧は虚数部とゲイン (デシベル表示) としても表わされている。

【0017】図2を参照して、本実施例に係る伝送回路においては、レシーバ回路3への入力信号の周波数を1MHz~1GHzとしたときでも、正帰還回路特有の発振現象は見られないことが確認される。

【0018】

【実施例2】次に、本発明の第2の実施例について、図3を参照して説明する。

【0019】本実施例においては、前記第1の実施例におけるCMOSトランジスタからなるブッシュアップ回路6の電源電圧を入力信号の電圧振幅よりも大きくとっている。例えば、入力信号の振幅電圧の最大値を3.3Vとした場合、CMOSブッシュアップ回路6の電源電圧を5.0Vとする。これにより、出力電圧のノイズマージンを大きくとることができる。

【0020】

【発明の効果】以上説明したように本発明は、伝送回路の入力端においてインピーダンス整合のための終端抵抗器を介して正帰還回路を構成し、CMOSトランジスタ

4

からなるブッシュアップ回路に接続することにより、信号線を通る伝送信号の直流成分を遮断し、電力消費を大幅に削減するという効果を有する。また、本発明は簡易な回路構成により、高速デジタル信号の伝送に対処できるという利点を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す回路図である。

【図2】本発明の第1の実施例のAC特性を説明するためのシミュレーション結果を示す図である。

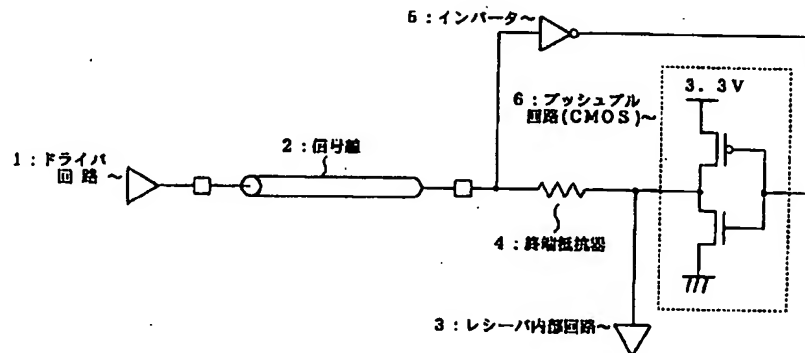
【図3】本発明の第2の実施例の構成を示す回路図である。

【図4】従来の伝送回路におけるレシーバ側の入力端部を示す回路図である。

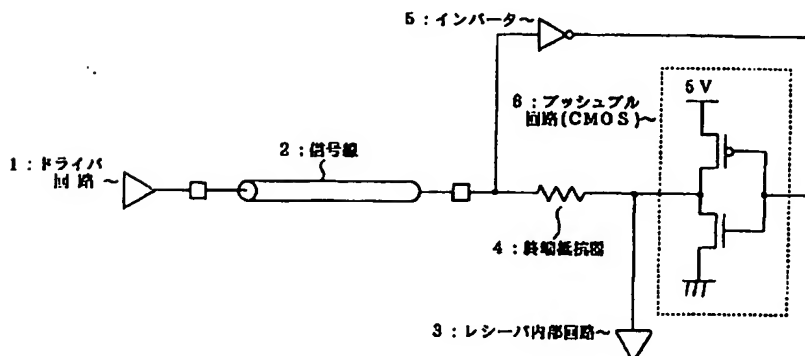
【符号の説明】

- 1 ドライバ回路
- 2 信号線
- 3 レシーバ (内部) 回路
- 4 終端抵抗器
- 5 インバータ
- 6 CMOSブッシュアップ回路

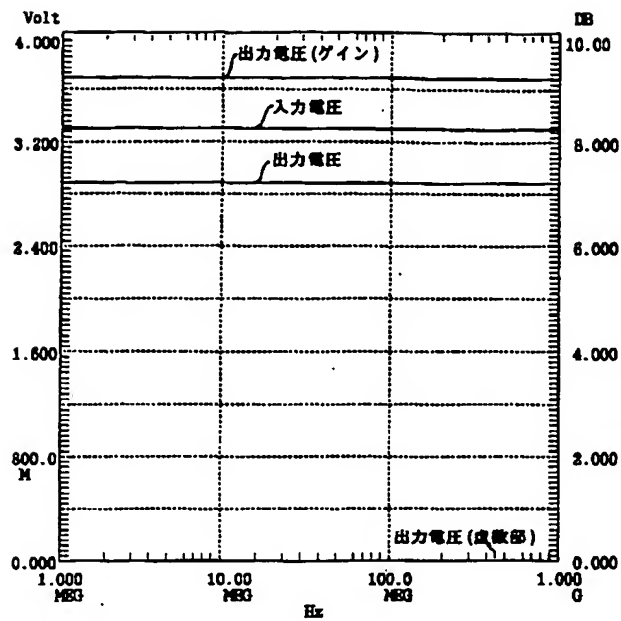
【図1】



【図3】



【図 2】



[Line]	[Name]	[Type]	[Dim]	[Alter]	[Temperature]
—	v.I01: 1 → v.I01	MAG	Volt	0	25.0
—	v.O01: 1 → v.O01	MAG	Volt	0	25.0
---	v.O01	IMAG	Volt	0	25.0
—	v.O01	GAIN	DB	0	25.0

【図 4】

